

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-055157

(43)Date of publication of application : 24.02.1998

(51)Int.CI. G09G 3/36
G09G 3/20
// G09G 5/34

(21)Application number : 09-148560

(71)Applicant : MOTOROLA INC

(22)Date of filing : 21.05.1997

(72)Inventor : IYU SAN JIEEMUSU REI
HIN KAU SUTEFUAN CHIYUN

(30)Priority

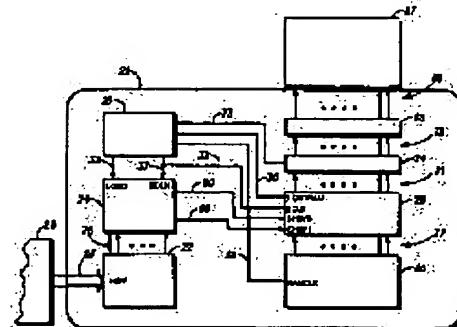
Priority number : 96 9609849 Priority date : 21.05.1996 Priority country : SG

(54) HORIZONTAL SCROLL SYSTEM FOR DISPLAY DATA

(57)Abstract:

PROBLEM TO BE SOLVED: To shift data by a horizontal shift value (HSV) with a number of clock cycles smaller than the HSV by providing a horizontal scroll controller and a register in order to enable the horizontal scroll of a message on an LCD panel without a need for making a microcontroller rewrite the whole of a RAM.

SOLUTION: In this system, an MSB(most significant bit) counter and an LSB(least significant bit) counter are provided in a horizontal scroll controller 24 in order to perform a countdown from the HSV. The MSB counter applies a shift-by-8 signal to a horizontal scroll shift register 28 during the countdown and the LSB counter applies a shift-by-1 signal to the register 28 during the countdown. As a result, data in the shift register 28 are shifted in the block unit of 8 or in the block unit of 1 and required clock cycles are reduced.



LEGAL STATUS

[Date of request for examination] 22.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) **公開特許公報 (A)**

(11)特許出願公開番号

特開平10-55157

(43)公開日 平成10年(1998)2月24日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
3/20		4237-5H	3/20	U
// G 0 9 G 5/34			5/34	M

審査請求 未請求 請求項の数7 FD (全8頁)

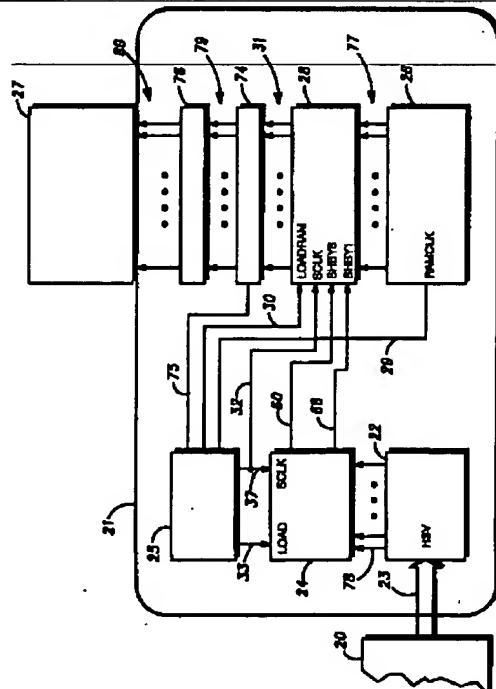
(21)出願番号	特願平9-148560	(71)出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED RED
(22)出願日	平成9年(1997)5月21日	(72)発明者	イユ・サン・ジェームス・レイ 香港クアン・トン、ウォ・ロック・エステ ート、クイ・オン・ハウス418、アール・ エム
(31)優先権主張番号	9609849-6	(72)発明者	ヒン・カウ・ステファン・チュン 香港ロビンソン・ロード8、ロビンソン・ ハイツ、タワー1、21・シ
(32)優先日	1996年5月21日	(74)代理人	弁理士 大賀 進介 (外1名)
(33)優先権主張国	シンガポール (SG)		

(54)【発明の名称】 ディスプレイ・データの水平スクロール方式

(57)【要約】

【課題】 マイクロコントローラ20がRAM26全体を書き換える必要なしに、LCDパネル27上でメッセージの水平スクロールを可能にするため、水平スクロール・コントローラ24およびレジスタ28が設けられ、水平シフト値(HSV)よりも小さいクロック・サイクル数で、HSVだけデータをシフトさせること。

【解決手段】 これは、HSVからカウントダウンするため、水平スクロール・コントローラ24にMSBカウンタ35およびLSBカウンタ36を設ける。MSBカウンタ35は、カウントダウン中に、シフト・バイ8信号を水平スクロール・シフト・レジスタ28に与える、LSBカウンタ36は、カウントダウン中に、シフト・バイ1信号を水平スクロール・シフト・レジスタ28に与える。そのためシフト・レジスタ28内のデータを8のブロック単位または1のブロック単位でシフトでき、所要クロック・サイクルを低減できる。



(2)

2

【特許請求の範囲】

【請求項1】 液晶ディスプレイ（LCD）用のディスプレイ・データの水平スクロール方式であつて：ディスプレイ・コントローラ；前記ディスプレイ・コントローラに結合され、LCD上に表示される情報を表すデータを格納する複数のメモリ・ロウを有するメモリ；前記メモリに結合され、前記メモリからデータを受け取り、かつより高い値またはより低い値のうち一方により選択的にデータを水平にシフトして、水平シフト・データを与える水平スクロール・シフト・レジスタ；前記ディスプレイ・コントローラと前記水平スクロール・シフト・レジスタとに結合され、前記水平シフト・データを受け取り、かつ前記水平シフト・データをカラム・ドライバに転送し、LCDのカラムを駆動して、前記情報を表示させるデータ・バッファ；LCD上に表示される情報を水平にスクロールする量を表すスクロール値を受け取る水平スクロール・コントローラであつて、前記水平スクロール・コントローラは、前記スクロール値の最上位ビット（MSB）を受ける第1カウンタと、前記スクロール値の最下位ビット（LSB）を受ける第2カウンタとによって構成され、前記第1カウンタは、ゼロに達するまでカウントダウンし、かつカウントダウン中に第1出力信号を前記水平スクロール・シフト・レジスタに与えて、前記より高い値によるデータの水平シフトを行い、前記第2カウンタは、前記第1カウンタがゼロに達した後ゼロに達するまでカウントダウンし、かつカウントダウン中に第2出力信号を水平スクロール・シフト・レジスタに与え、前記より低い値によるデータの水平シフトを行う、水平スクロール・コントローラ；によって構成されることを特徴とする方式。

【請求項2】 前記水平スクロール・シフト・レジスタは、シフト・ビットのロウからなり、各シフト・ビットはセレクタおよびメモリ・デバイスからなり、各特定のシフト・ビットは、前記メモリから第1データ入力を受け取り、前記より低い値により前記ロウのうち特定のシフト・ビットの前のシフト・ビットの出力から第2データ入力を受け取り、前記より高い値により前記ロウのうち特定のシフト・ビットの前のシフト・ビットの出力から第3データ入力を受け取るべく結合され、各シフト・ビットの前記セレクタは、前記ディスプレイ・コントローラから制御信号を受け取り、かつ前記第1および第2カウンタから第1および第2出力信号を受け取るべくそれぞれ結合された3つの制御入力を有し、前記メモリから、若しくは前記より低い値により前記ロウにおける特定のシフト・ビットの前のシフト・ビットから、又は前記より高い値により前記ロウにおける特定のシフト・ビットの前のシフト・ビットから、受信制御信号と第1および第2出力信号とに応じて、データをメモリ・デバイスにロードし、前記データを水平シフト・データとして格納することを特徴とする請求項1記載の方式。

【請求項3】 各セレクタは、前記第1、第2および第3データ入力を受けて、前記3つの制御入力に応じて前記メモリ・デバイスに選択的に転送するマルチプレクサからなることを特徴とする請求項2記載の方式。

【請求項4】 各メモリ・デバイスは、フリップフロップからなることを特徴とする請求項2または請求項3記載の方式。

【請求項5】 前記第1および第2カウンタのそれぞれは、それぞれが前記カウンタの1ビットに結合された複数の入力と、出力とを有するORゲートを含み、前記各出力は、前記第1および第2カウンタの第1および第2出力信号を与えることを特徴とする請求項1ないし4記載の方式。

【請求項6】 前記より低い値は「1」であることを特徴とする請求項1ないし5記載の方式。

【請求項7】 前記より高い値は「8」であることを特徴とする請求項1ないし6記載の方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶ディスプレイ（LCD）用のディスプレイ・データの水平スクロール方式に関し、さらに詳しくは、例えば中国語文字などの图形文字をLCD上で水平スクロールする方式に関するが、それに限定されない。

【0002】

【従来の技術】現在、中国語文字ページなどの多くのページは、ユーザがメッセージ読み出しボタンを押す毎に、新たなメッセージをページ単位で表示する。新規メッセージまたは新規情報を出力するため、ディスプレイ内容を水平にスクロールすることはよりユーザ・フレンドリであり、望ましい。しかし、このようなスクロールは、LCDドライバではなくマイクロコントローラ・ユニット（MCU）によって一般に制御される。このタスクのためにMCUを利用することは、ディスプレイを1カラム(column)だけスクロールする場合でも、ランダム・アクセス・メモリ（RAM）全体をLCDドライバ内で書き直す必要がある。RAMは、LCD上のどのピクセルがブランク（白）であり、どのピクセルが非ブランク（黒）であるかを表すビットマップ・データを格納する。これは、特にRAMの（またLCDの）カラム数が多い場合、RAM全体を書き直すために多くのデータ・ライト・サイクルを一般に要するので、MCUの負担は特に大きくなることを意味する。

【0003】MCUの負担を軽減するため、MCUによって与えられる値に応じて（すなわち、0～N-1の間の値のようないわゆるスクロール値であって、NはLCDのカラム数）、表示中にディスプレイ内容を水平スクロールするように、水平スクロール機能をLCDドライバに組み込むことができる。これにより、MCUはスクロール中にスタンバイ・モード（一般に、消費電力が少な

(3)

3

い) になることができる。

【0004】

【発明が解決しようとする課題】水平スクロール機能をLCDドライバに組み込むためには、以下の2つの従来の方法のうち一方を利用できる：

1) 純粋な組み合わせ論理ゲートを利用して、水平スクロールを実現する方法。ただし、この構成では、入力ビンの数を、ディスプレイのカラム数(N)と2を底とするカラム数の対数(すなわち、 $\log_2(N)$)との和に等しくする必要があり、しかも論理ブロックの出力ビンの数はディスプレイのカラム数(N)に等しいため、論理ブロックのサイズにより問題が生じる。例えば、LCDが128個のカラムを有する場合、純粋な組み合わせ論理ブロックは $128 + \log_2(128) = 135$ 個の入力ビンと、128個の出力ビンとを有する。このような論理ブロックはLCDドライバにおいて大量のシリコン面積を占め、そのため実用性がない。

【0005】2) LCDディスプレイに表示する前に、ディスプレイ内容の1ロウ(row)をシフトするためにN個のクロック・サイクルを必要とするように、純粋なシフト・レジスタを利用する方法。この方法は、最小限の回路しか必要としない。しかし、各カラム・スクロールのためにRAMに格納されたディスプレイの全ビットマップ・データを書き直すためには、多数のクロック・パルスを必要とする。残念ながら、無線周波数干渉問題のため、ペーページなどの通信装置のLCDできわめて高い周波数クロック信号は許されない。そのため、この方法も実施するのは非実用的である。

【0006】従って、本発明は、従来技術の上記の問題点を克服する、あるいは少なくとも軽減するディスプレイ・データの水平スクロール方式を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、液晶ディスプレイ(LCD)用のディスプレイ・データの水平スクロール方式を提供し、この方式はディスプレイ・コントローラ、前記ディスプレイ・コントローラに結合され、かつLCD上に表示される情報を表すデータを格納する複数のメモリ・ロウを有するメモリ、前記メモリに結合され、前記メモリからデータを受け取り、かつより高いまたはより低い値のうちの一方により選択的にデータを水平にシフトして、水平シフト・データを与える水平スクロール・シフト・レジスタ、前記ディスプレイ・コントローラと前記水平スクロール・シフト・レジスタとに結合され、前記水平シフト・データを受け取り、かつ前記水平シフト・データをカラム・ドライバに転送して、LCDのカラムを駆動して情報を表示させるデータ・バッファ、LCD上に表示される情報を水平スクロールする量を表すスクロール値を受ける水平スクロール・コントローラであって、前記水平スクロール・コントローラ

4

は、スクロール値の最上位ビット(MSB)を受ける第1カウンタと、スクロール値の最下位ビット(LSB)を受ける第2カウンタとによって構成され、前記第1カウンタは、ゼロに達するまでカウントダウンし、かつカウントダウン中に、第1出力信号を前記水平スクロール・シフト・レジスタに与え、前記より高い値によるデータの水平スクロールを表し、前記第2カウンタは、前記第1カウンタがゼロに達してからゼロに達するまでカウントダウンし、かつカウントダウン中に、第2出力信号を前記水平スクロール・シフト・レジスタに与え、前記より低い値によるデータの水平シフトを表す、水平スクロール・コントローラによって構成される。

【0008】好適な実施例では、水平スクロール・シフト・レジスタは、シフト・ビットのロウからなり、各シフト・ビットはセレクタおよびメモリ・デバイスからなり、各特定のシフト・ビットは、メモリから第1データ入力を受け取り、より低い値によりロウのうち特定のシフト・ビットの前のシフト・ビットの出力から第2データ入力を受け取り、より高い値によりロウのうち特定のシフト・ビットの前のシフト・ビットの出力から第3データ入力を受け取るべく結合され、各シフト・ビットのセレクタは、ディスプレイ・コントローラから制御信号を受け取り、かつ第1および第2カウンタから第1および第2出力信号を受け取るべくそれぞれ結合された3つの制御入力を有し、メモリから、あるいはより低い値によりロウにおける特定のシフト・ビットの前のシフト・ビットから、もしくはより高い値によりロウにおける特定のシフト・ビットの前のシフト・ビットから、受信制御信号と第1および第2出力信号とに応じて、データをメモリ・デバイスにロードし、このデータを水平シフト・データとして格納する。

【0009】好ましくは、各セレクタは、第1、第2および第3データ入力を受けて、3つの制御入力に応じてこれらの入力をメモリ・デバイスに選択的に転送するマルチプレクサによって構成される。

【0010】各メモリ・デバイスは、好ましくはフリップフロップによって構成される。一実施例では、各第1および第2カウンタは、それぞれがカウンタの1ビットに結合された複数の入力と、出力とを有するORゲートを含み、それぞれの出力は第1および第2カウンタの第1および第2出力信号を与える。好ましくは、より低い値は「1」であり、より高い値は「8」である。

【0011】

【実施例】本発明によるLCDドライバの水平スクロール機構の本実施例は、シフト・レジスタ方法を利用して、水平スクロール機能を実現する。ただし、各クロック・サイクルについて、ビットはこの水平シフト・レジスタ内で選択可能な値だけシフトできる。この例では、選択可能な値は、1だけシフトし、8だけシフトするよう選ばれる。選択される特定のシフト値は、実際には

(4)

5

柔軟性が高く、以下でさらに説明する。これら2つの特定のシフト値を選択することにより、Nビットを水平にシフトする（ここでNはLCDのカラムの数であり、またシフト・レジスタの長さ（ビット単位）でもある）ために必要なクロック・サイクル数は大幅に低減される。

【0012】一例では、Nが128であり、水平スクロール値HSVが127（すなわち、LCDパネル上で表示する前に、シフト・レジスタ内で128ビットを127回シフトする必要がある）場合：

i) 従来のシフト・レジスタでは、水平スクロールを完了するためには127クロック・サイクルが必要であり、

ii) 新規シフト・レジスタでは、まずディスプレイ内容はシフト値8だけ15回シフトされ、 $8 \times 15 = 120$ カラムをスクロールし、次にシフト値1だけ7回シフトされ、 $1 \times 7 = 7$ カラムをスクロールし、そのため $120 + 7 = 127$ スクロール値を与える。従って、必要なクロック・サイクル総数は、127ではなく、わずか $15 + 7 = 22$ である。

【0013】図1に示すようにこの機構を実施するためには、外部MCU20は、必要な水平スクロール値HSVを表すコマンドを通信リンク23を介して、LCDドライバ21の一部をなすコマンド・デコーダ22に送出する。水平スクロール値HSVはコマンド・デコーダ22に格納され、ここで2進数に変換され、パラレル・ライン78上で水平スクロール・コントローラ24に転送される。

【0014】ディスプレイ・コントローラ25は、ライン29を介してRAM26にクロック信号RAMCLKを与え、RAM26は、LCDパネル27上で表示すべき情報を表すビットマップ・データを格納する。RAM26からのビットマップ・データの完全なロウ（このロウはNビット長）は、パラレル・ライン77上で水平スクロール・シフト・レジスタ28のパラレル入力に与えられる。同時に、ディスプレイ・コントローラ25は、ライン30を介してイネーブル信号LOADRAMを、またライン32を介してクロック信号SCLKを水平スクロール・シフト・レジスタ28に送出し、RAMロウ・データのNビットを水平スクロール・シフト・レジスタ28に書き込ませる。また、ディスプレイ・コントローラ25は、ライン33を介して送出されるイネーブル信号LOADを水平スクロール・コントローラ24に与え、2進水平スクロール値HSVをコマンド・デコーダからロードさせる。

【0015】図2に示すように、水平スクロール・コントローラ24は、2つに分離される7ビット・カウンタ34と、本実施例では4ビット長46, 47, 48, 49である最上位ビット（MSB）カウンタ35と、本実施例では3ビット長50, 51, 52である最下位ビット（ LSB）カウンタ36とを含む。MSBカウンタ3

6

5およびLSBカウンタ36の両方はカウントダウン・カウンタであり、受信したクロック信号パルスに応じてカウントダウンする。MSBカウンタ35は、ライン38上でANDゲート39からクロック信号パルスCLKMを受け取り、LSBカウンタ36は、ライン40上でANDゲート41からクロック信号パルスCLKLを受け取る。ANDゲート39は、ディスプレイ・コントローラ25からライン37上で水平スクロール・コントローラ24によって受信されたクロック信号SCLKを、一方の入力においてライン42を介して受け取り、他方の入力は、以下でさらに詳しく説明するように、水平スクロール・コントローラ24からシフト・バイ8（Shift-By-8）信号SHBY8を受け取るべくライン43を介して結合される。また、ANDゲート41は、一方の入力においてライン44を介してクロック信号SCLKを受け取り、他方の入力は、以下でさらに詳しく説明するように、水平スクロール・コントローラ24からシフト・バイ1（Shift-by-1）信号SHBY1を受け取るべくライン45を介して結合される。

【0016】イネーブル信号LOADがライン33上で受信された後、2進水平スクロール値HSVがMSBカウンタおよびLSBカウンタにロードされると、MSBカウンタ35はまずライン38上で受信したクロック・パルスCLKMに応じてカウントダウンを開始する。以下で説明するように、LSBカウンタ36はクロック・パルスCLKLを受信せず、従ってMSBカウンタ35がカウントを終了するまでカウントしない。10進数で127、また2進数で1111111のノンゼロ水平スクロール値HSVの上記の例をとると、MSBカウンタ35の4ビット46～49は1111からカウントダウンする。各ビットは、ライン53, 54, 55, 56を介して4入力ORゲート57の入力にそれぞれ結合される。ORゲート57の出力はANDゲート58の入力に結合され、このANDゲート58の他方の入力はインバータ59を介してイネーブル信号LOADを受け取るべく結合される。従って、カウンタ34が新たなHSVをロードしておらず、MSBカウンタ35がノンゼロ・カウント値を有している場合、ANDゲート58の出力はハイになり、水平スクロール・コントローラ24から出力されるシフト・バイ8信号SHBY8をハイにさせる。このシフト・バイ8信号SHBY8は、ライン60を介して水平スクロール・シフト・レジスタ28に送られ、シフト・バイ8動作をイネーブルする。

【0017】上で説明したように、このシフト・バイ8信号SHBY8はライン43を介してANDゲート39にも送られ、MSBカウンタ35がカウントダウンするためにクロック・パルスCLKMを受け取ることを可能にする。このカウントダウン動作中に、シフト・バイ8信号SHBY8は、MSBカウンタ35の内容がゼロに達するまでハイのままである。

(5)

7

【0018】さらに、ANDゲート58の出力は、3入力ANDゲート61の反転入力にも送られ、このANDゲート61の出力は、水平スクロール・シフト・レジスタ28のシフト・バイ1信号SHBY1を与える。明らかなように、シフト・バイ8信号SHBY8のハイ状態は、3入力ANDゲート61の論理動作により、シフト・バイ1信号SHBY1をローにさせる。シフト・バイ1信号SHBY1信号のロー状態は、出力がクロック・パルスCLKLを LSBカウンタ36に与えるANDゲート41により、 LSBカウンタ36の動作を禁止する。

【0019】MSBカウンタ35がゼロに達すると、シフト・バイ8信号SHBY8はローになり、クロック・パルスCLKMを停止し、MSBカウンタ35がさらにカウントするのを防いで、ゼロのままにする。また、ローになったシフト・バイ8信号SHBY8は、水平スクロール・シフト・レジスタ28のシフト・バイ8動作を停止する。

【0020】同様に、LSBカウンタ36の各ビット50, 51, 52は、ライン63, 64, 65をそれぞれ介して、3入力ORゲート62の入力に結合される。ORゲート62の出力は、ANDゲート61の入力に結合され、このANDゲート61の他方の入力は、上記のように、インバータ59を介してイネーブル信号LOADと、シフト・バイ8信号SHBY8の反転とを受信すべく結合される。従って、LSBカウンタ38の内容がゼロでない場合、ORゲート62はハイの出力を有し、それによりANDゲート61はシフト・バイ1信号SHBY1についてハイ状態を出力する。また、このシフト・バイ1信号SHBY1は、ライン66を介して水平スクロール・シフト・レジスタ28に結合され、シフト・バイ1動作をイネーブルする。同時に、ANDゲート41により、クロック・パルスCLKLはLSBカウンタ36に与えられ、LSBカウンタ36はカウントダウンを*

MSB カウンタ	LSB カウンタ	SHBY8	SHBY1	LOAD	CLOCK	CYCLES
1111	111	0	0	1	1	
1110	111	1	0	0	2	
1101	111	1	0	0	3	
1100	111	1	0	0	4	
1011	111	1	0	0	5	
1010	111	1	0	0	6	
1001	111	1	0	0	7	
1000	111	1	0	0	8	
0111	111	1	0	0	9	
0110	111	1	0	0	10	
0101	111	1	0	0	11	
0100	111	1	0	0	12	
0011	111	1	0	0	13	
0010	111	1	0	0	14	

8

*開始する。MSBカウンタ35と同様に、LSBカウンタ36がゼロに達すると、シフト・バイ1信号SHBY1はローになり、LSBカウンタ36の更なるカウントダウンを停止し、また水平スクロール・シフト・レジスタ28のシフト・バイ1動作を停止する。

【0021】この時点で、水平シフト・データ・ロウは水平スクロール・シフト・レジスタ28に格納され、またライン75を介してディスプレイ・コントローラ25によって与えられるラッチ信号LATCHCLKをディスプレイ・データ・バッファ74が受信すると、パラレル・ライン31を介してディスプレイ・データ・バッファ74にラッチされる。このディスプレイ・データ・バッファ74は、水平スクロール・シフト・レジスタ28の出力（Nビット長）をラッチし、LCDカラム・ドライバ76を介してデータをLCDパネル27に送る。上記の動作は、次のディスプレイ・ロウに対して反復される。

【0022】2つのANDゲート58, 61（シフト・バイ8信号SHBY8およびシフト・バイ1信号SHBY1を出力する）のそれぞれは、イネーブル信号LOADの反転に結合された一方の入力を有することが明白である。これは、RAMからのデータが水平スクロール・シフト・レジスタ28からロードされる最中に、また2つのカウンタ35, 36にコマンド・デコーダ22から水平スクロール値HSVがロードされる最中に、2つのカウンタ35, 36によるカウントダウン動作、ならびに水平スクロール・シフト・レジスタ28のシフト・バイ1またはシフト・バイ8動作を防ぐためである。

【0023】水平スクロール・コントローラ24の動作を説明する一例として、HSVが127（すなわち、2進数で11111111）であり、N（カラム数）が128であると（ここでも）仮定する。そのとき、各カウンタおよび信号の値は次の通りである：

(6)

9	10
0001	111
0000	111
0000	110
0000	101
0000	100
0000	011
0000	010
0000	001
0000	000
	15
	16
	17
	18
	19
	20
	21
	22
	23

次のロウは動作を反復ここで図3を参照して、水平スクロール・シフト・レジスタ28をさらに詳細に示す。水平スクロール・シフト・レジスタ28はNビットからなり、そのうち4ビット、すなわちビット(i)68, ビット(i-1)67, ビット(i+1)69, ビット(i+8)70を示す。各ビットは、3つのデータ入力A, B, Cと、3つの選択入力X, Y, Zと、出力Oとを有する3方向セレクタ71からなり、出力OはD型フリップフロップ72のD入力Dに結合され、このD型フリップフロップ72はクロック入力CKおよび出力Qも有する。

【0024】各3方向セレクタ71の第1データ入力Aは、前のビットのD型フリップフロップ72の出力Qに接続される。各3方向セレクタ71の第2データ入力Bは、8番目の前のビットのD型フリップフロップ72の出力Qに接続される。例えば、ビット(i)69のフリップフロップ72の出力Qは、図3に示すように、ビット(i+8)70のデータ入力Bに接続される。各3方向セレクタ71の第3データ入力Cは、水平スクロール・シフト・レジスタ28の各パラレル入力に結合され、RAM26から出力されているビットマップ・ロウの各ビットを受信する。

【0025】各3方向セレクタ71の第1選択入力Xは、ライン66からシフト・バイ1信号SHBY1を受信すべく接続される。各3方向セレクタ71の第2選択入力Yは、ライン60からシフト・バイ8信号SHBY8を受信すべく接続される。各3方向セレクタ71の第3選択入力Zは、ライン30を介してディスプレイ・コントローラ25からイネーブル信号LOADRAMを受信すべく接続される。

【0026】各セレクタ71は、選択入力X, Y, Z上の信号に応じて、3つのデータ入力A, B, Cのうち一つの信号を出力Oに選択的に転送する。従って、第1データ入力A上の信号は、シフト・バイ1動作に対応するシフト・バイ1信号SHBY1がハイのときに選択され、第2データ入力B上の信号は、シフト・バイ8動作に対応するシフト・バイ8信号SHBY8がハイのときに出力Oに接続され、セレクタ71の第3データ入力Cは、RAMからのデータ・ロード(load-data-from-RAM)動作に対応するイネーブル信号LOADRAMがハイのときに選択される。

10 【0027】ライン66からのシフト・バイ1信号SHBY1, ライン60からのシフト・バイ8信号SHBY8およびライン30からのイネーブル信号LOADRAMのそれぞれは、4入力ORゲート73の一方の入力にそれぞれ結合され、この4入力ORゲート73の他方の入力は、ライン32を介してクロック信号SCLKを受信すべく結合される。ORゲート73の出力は、各フリップフロップ72のクロック入力CKに結合される。ORゲート73の動作は、RAMからのデータ・ロード動作、シフト・バイ8動作またはシフト・バイ1動作があるときはいつも、クロック・パルス(クロック信号SCLKから導出される)がNフリップフロップ72に与えられることを保証することである。

【0028】各Nフリップフロップ72の出力Qは、すべてのシフト動作が完了した後にデータをラッチするディスプレイ・データ・バッファ74に結合される。第1ビットの入力は、シフト動作がラップアラウンド(wrap-around)、すなわち回転するように、最後のビットの出力に接続される。上記のように、ディスプレイ・データ・バッファ74は、パラレル・ライン79上でデータをLCDカラム・ドライバ76に送り、このLCDカラム・ドライバ76はパラレル・ライン80を介してLCDパネル27を駆動する。

【0029】よって、水平スクロール・コントローラ24および水平スクロール・シフト・レジスタ28ならびにLCDドライバ21の他の部分は、水平スクロール機構を(シリコン面積および所要クロック・サイクル数の両方の点で)効率的に構成することがわかる。シフトする特定の値の選択は柔軟性が高いことに留意されたい。例えば、N(ディスプレイのカラム数)が極めて大き

40 く、例えば、256であるが、水平スクロールを行うために与えられたクロック・サイクル数が制限される場合、シフト・バイ8をシフト・バイ16に変更でき、そのため必要な最大クロック・サイクル数(水平スクロール値が255のときに生じる)は:

シフト・バイ16動作の15クロック・サイクル+シフト・バイ1動作の15クロック・サイクル=30クロック・サイクル

となり、一方、シフト・バイ16動作ではなくシフト・バイ8動作を利用した場合には、所要クロック・サイクル数は:

(7)

11

シフト・バイ 9 動作の 31 クロック・サイクル+シフト
・バイ 1 動作の 7 クロック・サイクル = 38 クロック・
サイクル
となる。

【0030】従って、Nの値が大きい場合には、シフト
・バイ 16 を選ぶほうが有利であることが分かる。ただし
し、シフト動作の値を増加することの欠点は、水平スク
ロール・シフト・レジスタの中継領域(routing area)が
増加することである。従って、この方法について必要な
シリコン面積とスピード(クロック・サイクル)との間
で妥協することが常に必要であり、また利用可能なクロ
ック・サイクル数に応じて慎重に選択する必要がある。

【0031】本発明の一つの特定の実施例のみについて
詳しく説明してきたが、本発明の範囲から逸脱せずに、
さまざまな修正および改善が当業者に可能であることが
理解される。

【図面の簡単な説明】

【図1】LCD ドライバにおける水平スクロール機構の
一実施例を示す機能ブロック図である。

【図2】図1の機構において用いられる水平スクロール
制御の詳細ブロック図である。

【図3】図1の機構において用いられる水平スクロール
・シフト・レジスタの詳細ブロック図である。

【符号の説明】

20 外部MCU

21 LCD ドライバ

22 コマンド・デコーダ

23 通信リンク

24 水平スクロール・コントローラ

12

25 ディスプレイ・コントローラ

26 RAM

27 LCDパネル

28 水平スクロール・シフト・レジスタ

29 ライン

30, 31, 32, 33 ライン

34 7ビット・カウンタ

35 最上位ビット(MSB)カウンタ

36 最下位ビット(LSB)カウンタ

37, 38, 40, 42, 43, 45 ライン

39, 41 ANDゲート

46, 47, 48, 49, 50, 51, 52 ビット

53, 54, 55, 56, 60 ライン

57 4入力ORゲート

58 ANDゲート

59 インバータ

60, 63, 64, 65, 66 ライン

61 3入力ANDゲート

62 3入力ORゲート

63, 64, 65, 66 ライン

67, 68, 69, 70 ビット

71 3方向セレクタ

72 Nフリップフロップ

73 4方向ORゲート

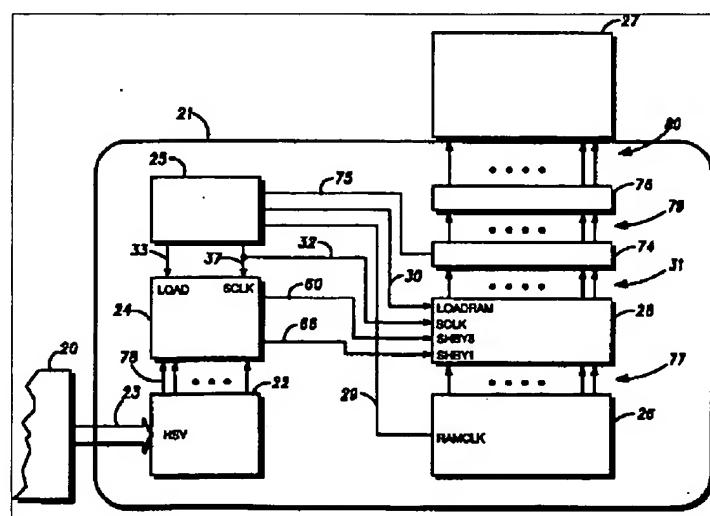
74 ディスプレイ・データ・バッファ

75 ライン

76 LCDカラム・ドライバ

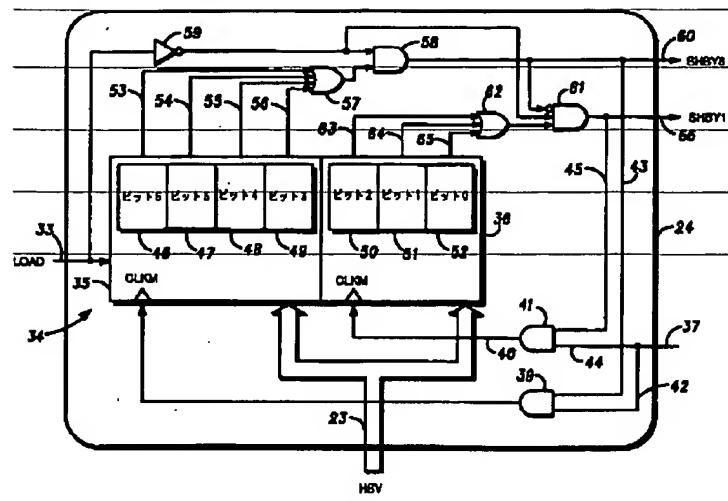
77, 78 パラレル・ライン

【図1】



(8)

【図2】



【図3】

